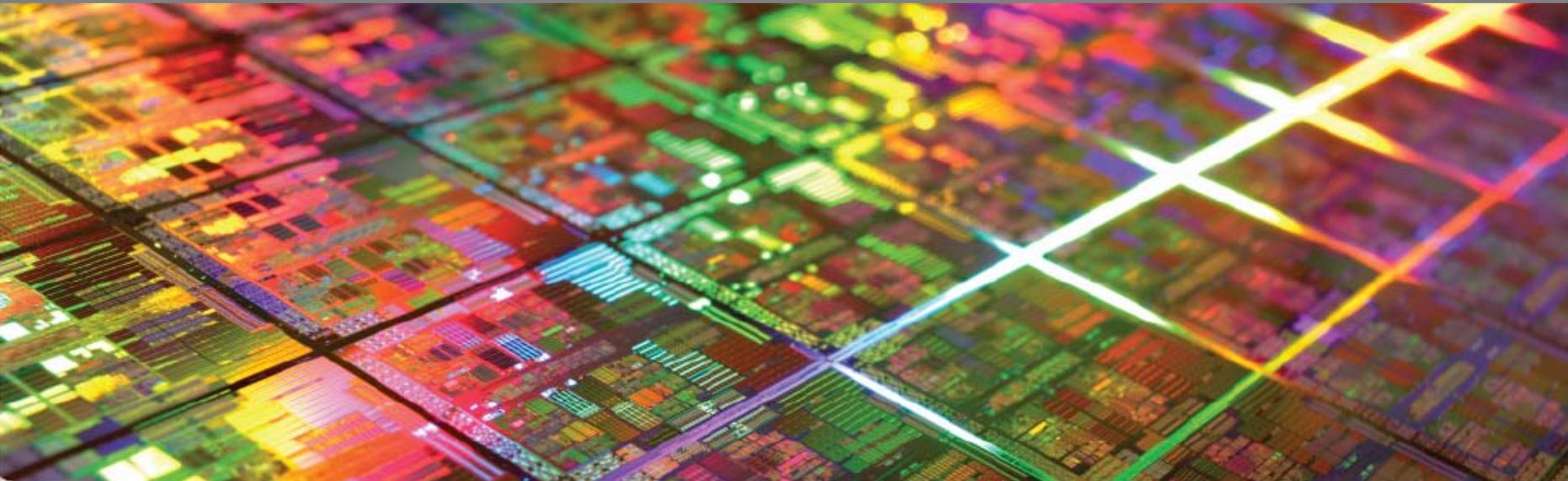


Rechnerstrukturen

Vorlesung im Sommersemester 2010

Prof. Dr. Wolfgang Karl

Fakultät für Informatik – Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung



Vorlesung Rechnerstrukturen

- Kapitel 1: Grundlagen
 - 1.2 Entwurf von Rechenanlagen - Entwurfsfragen

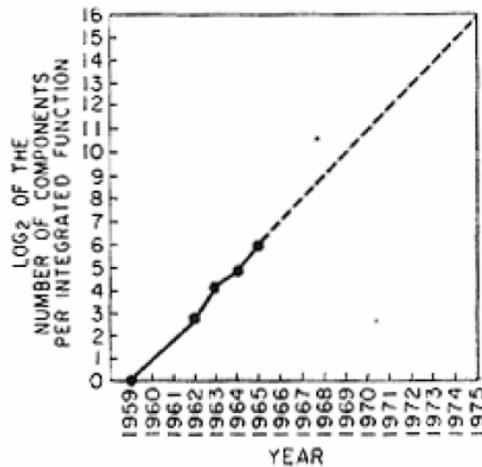
Rechnerarchitektur (Disziplin)

- Entwurf einer Rechenanlage
- Ingenieurmäßige Aufgabe der Kompromissfindung zwischen
 - Zielsetzungen
 - Einsatzgebiet, Anwendungsbereich, Leistung, Verfügbarkeit ...
 - Randbedingungen
 - Technologie, Größe, Geld, Energieverbrauch, Umwelt,...
 - Gestaltungsgrundsätzen
 - Modularität, Sparsamkeit, Fehlertoleranz ...
 - Anforderungen
 - Kompatibilität, Betriebssystemanforderungen, Standards

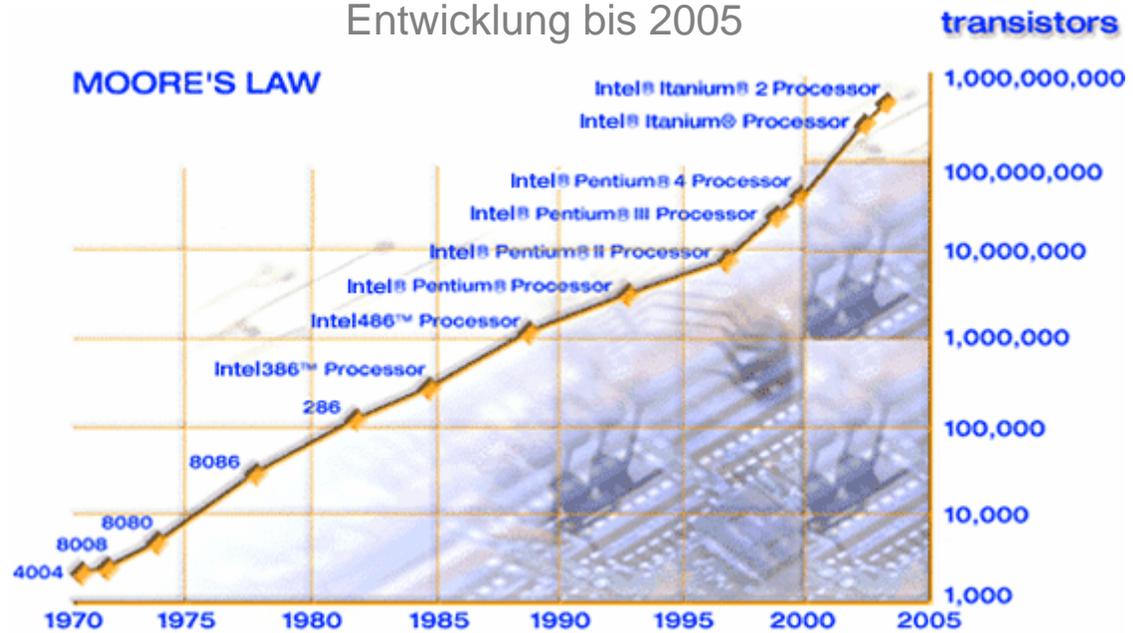
Entwurfsfragen

- Randbedingungen
- Technologische Entwicklungen
 - Moore's Law
 - Anzahl der Transistoren, die auf einem Chip integriert werden können, verdoppelt sich etwa alle 2 Jahre

Vorhersage 1965



Entwicklung bis 2005



<http://www.intel.com/research/silicon/mooreslaw.htm>

Gordon E. Moore: Craming More Components
Onto Integrated Circuits. Electronics, Vol. 38, No.8,
April 19, 1965

Entwurfsfragen

- Randbedingungen
- Technologische Entwicklungen
 - Entwicklung der Halbleitertechnologie (Henn./Patt. ,03)
 - Integrationsdichte: Verbesserung um etwa 35% pro Jahr
 - Chipfläche: Erhöhung um etwa 10% – 20% pro Jahr (schwieriger vorherzusagen)
 - Anzahl der Transistoren auf einem Chip: Steigerung um etwa 55% pro Jahr
 - Vorhersagen durch die Semiconductor Industry Association (SIA), (<http://www.sia-online.org>)
 - International Technology Roadmap for Semiconductors 2003 Edition (<http://public.itrs.net>)
 - 2004 Update
 - Folgerung:
 - mehrere Milliarden Transistoren auf einem Chip

Trends in der Rechnerarchitektur

Beobachtung

- Anzahl der Transistoren verdoppelt sich alle 18 Monate
 - Mehrere Milliarden Transistoren auf einem Chip
 - Beispiel: Intel Tukwila 2 Milliarden Transistoren auf einem Chip
- Verkleinerung der Strukturbreiten
 - 32nm Strukturen in 2010
- Erforschung zukünftiger Fertigungstechnologien auf der Grundlage von Kohlenstoff, Nanotechnologie

- Herausforderungen beim Entwurf
 - Ausnützen des zur Verfügung stehenden Transistorbudgets
 - Hohe Leistungsfähigkeit bei niedriger Leistungsaufnahme bzw. Energieverbrauch
 - Zuverlässigkeit der Schaltung

Trends in der Rechnerarchitektur

Prozessorwurf

- Multicore, Manycore Architekturen
 - Homogene Strukturen:
 - Viele einfache Prozessorkerne
 - Wenige komplexe Prozessorkerne

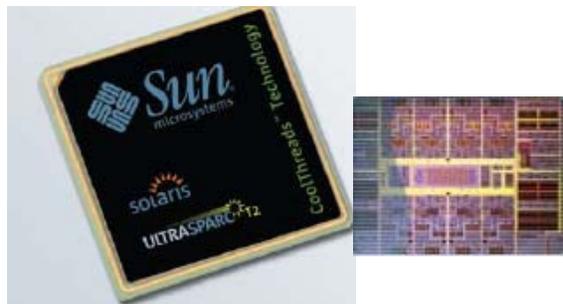
Heute 4 – 8 Prozessorkerne auf einem Chip



Intel i7 Core



Intel Nehalem



Sun UltraSPARC T2

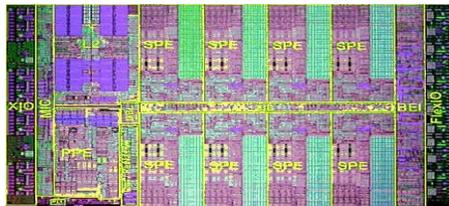


Zukünftig: mehrere Hundert Kerne auf einem Chip

Trends in der Rechnerarchitektur

Prozessor Entwurf

- Multicore, Manycore Architekturen
 - Heterogene Strukturen
 - mit anwendungsspezifischen Komponenten
 - rekonfigurierbare Logikzellen
 - MPSoCs

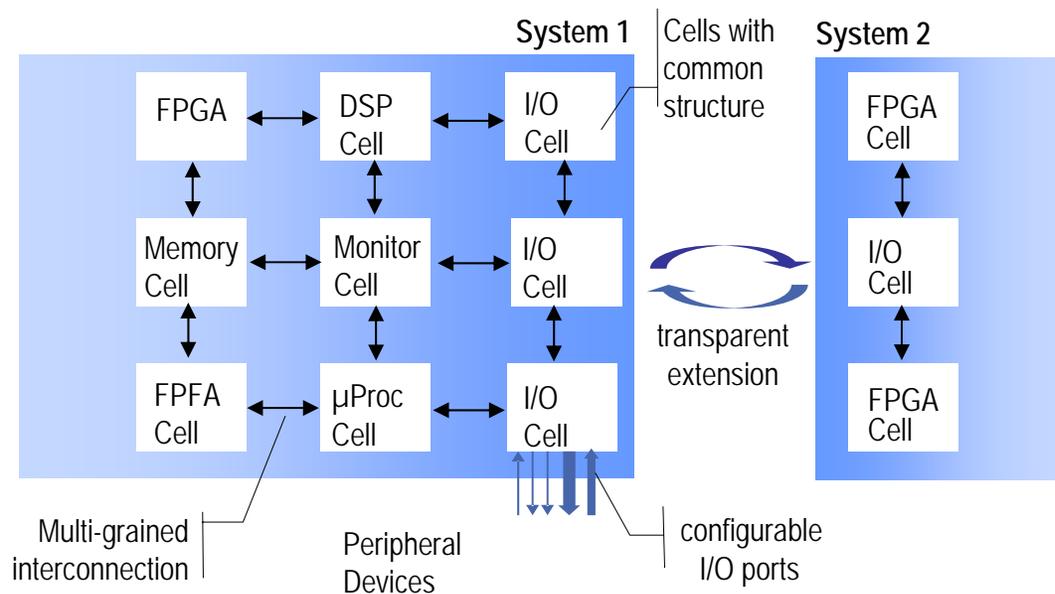


IBM Cell Broadband Engine:
Spiele und Multimedia-Anwendungen

Trends in der Rechnerarchitektur

Prozessor Entwurf

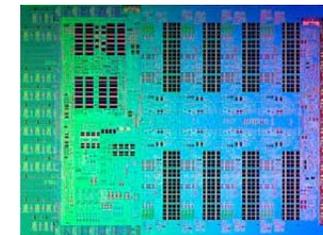
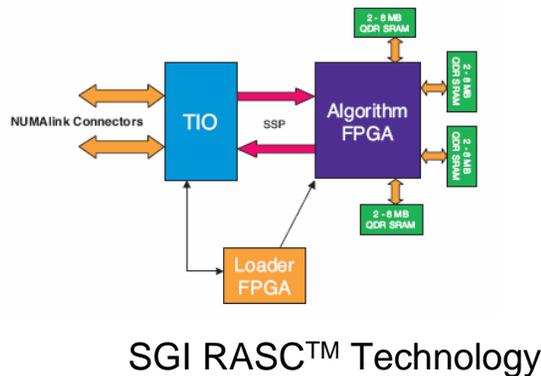
- Multicore, Manycore Architekturen
 - Dynamisch konfigurierbare Architekturen
 - Beispiel: **DodOrg**-Architektur



Trends in der Rechnerarchitektur

Systementwurf

- Heterogene parallele Rechnerstrukturen:
 - Multicore-Architekturen in allen Einsatzgebieten:
 - Desktop, Server, Höchstleistungsrechner
 - Eingebettete Systemen (MPSoCs)
 - Koprozessor-Technologie
 - Multicore-Prozessoren, GPGPUs oder FPGAs als Beschleuniger an schnellen Bus-Systemen



PowerXCell in
IBM Roadrunner

Heterogene parallele Rechnerstrukturen

Herausforderungen für die RA

- Massive Parallelität
 - in allen Einsatzgebieten (Hochleistungsrechner, Desktop, Eingebettete Systeme)
 - auf allen Systemebenen
- Erreichen einer hohen Leistungsfähigkeit durch eine geeignete Parallelisierung
- Effiziente Nutzung der Ressourcen
- Abbildung von Funktionen auf verschiedenartige Prozessorkerne, Koprozessoren
- Ausnützen der adaptiven, konfigurierbaren Strukturen
- Komplexität muss vor dem Benutzer verborgen werden

Heterogene parallele Rechnerstrukturen

Lösungsansätze

- Neue Programmierparadigmen, Programmierkonzepte
 - Beispiel: Transactional Memory

- Werkzeuge für die Erstellung effizienter paralleler Programme
 - Programmierumgebung
 - Monitoring-Infrastruktur
 - Intelligente Datenanalyse
 - Optimierungsstrategien
 - Visualisierung des Laufzeitverhaltens

- Adaptivität und Virtualisierung
 - Abstraktion von der zugrundeliegenden HW
 - Effiziente Nutzung der Ressourcen

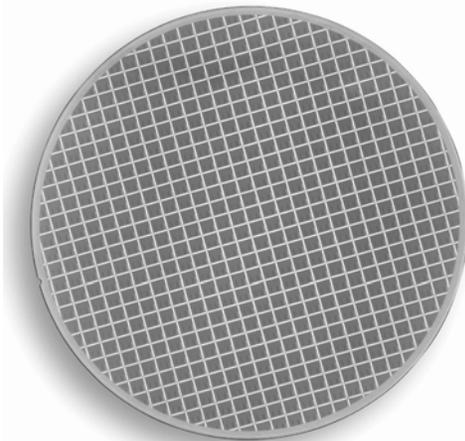
Entwurfsfragen

- Randbedingungen
- Technologische Entwicklungen
 - Entwicklung der DRAM-Technologie (Henn./Patt. ,03)
 - Integrationsdichte
 - Verbesserung um etwa 40% - 60% pro Jahr
 - Entwicklung der Magnetspeicher
 - Bis 1990: Die Dichte stieg um 30% pro Jahr
 - Von 1990: Die Dichte stieg um 60% pro Jahr
 - Seit 2004: Die Steigerung fällt auf 30% pro Jahr zurück
 - Kosten pro Bit bei Magnetspeichern ~50 – 100 Mal billiger als bei DRAM.

Entwurfsfragen

- Randbedingungen
- Kosten eines integrierten Schaltkreises
 - Kosten des Dies + Kosten für das Testen des Dies + Kosten für das Packaging und den endgültigen Test in Bezug auf die endgültige Testausbeute

Wafer



© 2003 Elsevier Science (USA). All rights reserved.

Quelle: Hennessy j., Patterson, D.:
Computer Architecture A Quantative Approach.
Morgan Kaufmann Publ., 3. Auflage, 2003

Die



© 2003 Elsevier Science (USA). All rights reserved.

Quelle: Hennessy j., Patterson, D.:
Computer Architecture A Quantative Approach.
Morgan Kaufmann Publ., 3. Auflage, 2003

Integrierter Schaltkreis (Chip)



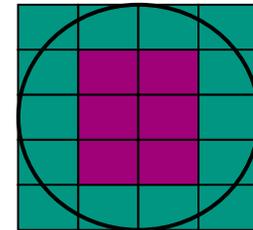
Quelle: <http://www.intel.com/products/processor/corei7EE/pix/corei7ee.jpg>

Entwurfsfragen

- Randbedingungen
- Kosten eines integrierten Schaltkreises

$$\text{Kosten des Dies} = \frac{\text{Kosten des Wafers}}{\text{Dies pro Wafer} * \text{Ausbeute (Die yield)}}$$

$$\text{Anzahl der Dies} = \frac{\pi \times (\text{Durchmesser des Wafers}/2)}{\text{Fläche des Dies}} - \frac{\pi \times \text{Durchmesser des Wafers}}{\sqrt{2} \times \text{Fläche des Dies}}$$



- Ausbeute (Die yield)

$$\text{Die yield} = \text{Wafer yield} \times \left(1 + \frac{\text{Defekte pro Flächeneinheit} \times \text{Diefläche}}{\alpha} \right)^{-\alpha}$$

Entwurfsfragen

- Randbedingungen
- Kosten eines integrierten Schaltkreises
- Ausbeute (Die yield)
 - Empirisches Modell durch Beobachtung der Ausbeute
 - Annahme:
 - Die Defekte sind zufällig verteilt über den Wafer
 - Die Ausbeute ist umgekehrt proportional zur Komplexität des Herstellungsprozesses
 - Waferausbeute (Wafer yield):
 - berücksichtigt, dass ein Wafer vollständig defekt ist und nicht getestet zu werden braucht
 - Defekte pro Flächeneinheit (defects per unit area):
 - Maß für die zufällig auftretenden Defekte bei der Herstellung
 - In 2006 ist der Wert bei 0,4 Defekten pro Quadratzentimeter für einen 90nm-Prozess
 - Hängt von der Reife des Herstellungsprozesses ab
 - α : Maß für die Komplexität des Herstellungsprozesses
 - In 2006 ist ein guter Näherungswert für $\alpha = 4,0$ (CMOS, mehrere Metalllagen)

Entwurfsfragen

- Randbedingungen
- Kosten eines integrierten Schaltkreises
- Ausbeute (Die yield)
 - Beispiel: Wie ist die Ausbeute für Dies mit einer Seitenlänge von $1,5\text{ cm}$ und $1,0\text{ cm}$ unter der Annahme der Defektdichte von $0,4$ pro cm^2 und $\alpha = 4$

$$\text{Die yield} = \left(1 + \frac{0,4 \times 2,25}{4,0}\right)^{-4} = 0,44$$

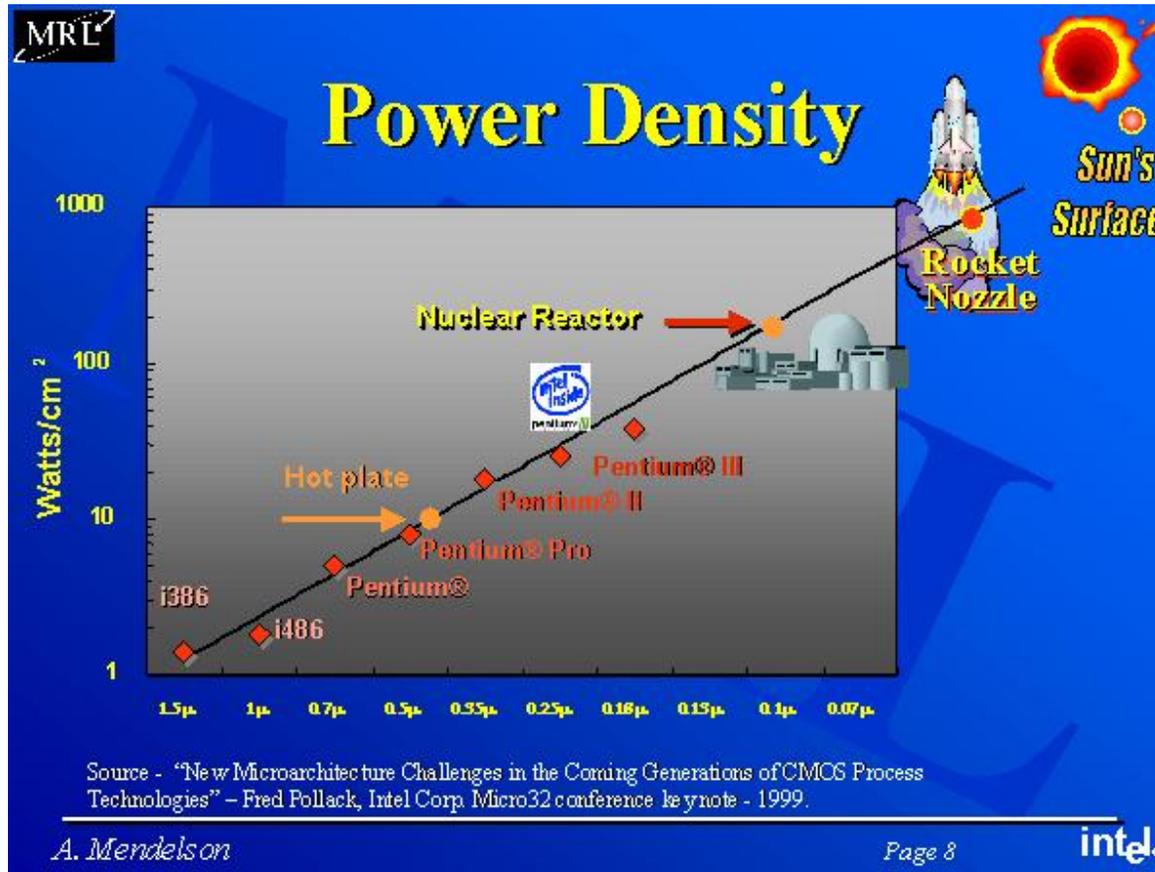
$$\text{Die yield} = \left(1 + \frac{0,4 \times 1,00}{4,0}\right)^{-4} = 0,68$$

Entwurfsfragen

- Randbedingungen
- Kosten eines integrierten Schaltkreises
 - Fazit:
 - Der Herstellungsprozess diktiert die Kosten für den Wafer, die Wafer Ausbeute und die Defekte pro Flächeneinheit
 - Die Kosten pro Chip wachsen ungefähr mit der Quadratwurzel der Chipfläche. Der Entwickler hat einen Einfluss auf die Chipfläche und daher auf die Kosten, je nachdem welche Funktionen auf dem Chip integriert werden und durch die Anzahl der I/O Pins

Entwurfsfragen

- Randbedingungen
- Technologische Entwicklungen



Elektrische Leistung wird in Wärme umgewandelt.

Problem: Prozessortemperatur begrenzt die Verarbeitungsgeschwindigkeit von Prozessoren!